

Docket No.: 67161-108

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Takayuki GYOHTEN, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 29, 2003	:	Examiner:
	:	
For:		SEMICONDUCTOR MEMORY DEVICE WITH COMMON I/O TYPE CIRCUIT CONFIGURATION ACHIEVING WRITE BEFORE SENSE OPERATION

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-073113 (P), was filed on March 18, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gv
Facsimile: (202) 756-8087
Date: September 29, 2003

日本国特許庁
JAPAN PATENT OFFICE

67161-108
Takayuki GYOHTEN et al.
September 29, 2003
McDermott, Will & Emery
frazz33JPM, Houna2JP

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 3月18日

出願番号

Application Number:

特願2003-073113

[ST.10/C]:

[JP2003-073113]

出願人

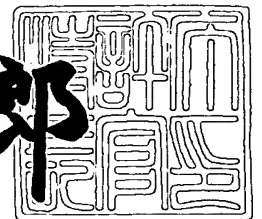
Applicant(s):

三菱電機株式会社

2003年 4月15日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3026951

【書類名】 特許願

【整理番号】 542777JP01

【提出日】 平成15年 3月18日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/409
G11C 11/34

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 行天 隆幸

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 原口 大

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 森下 玄

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 データを記憶するメモリセルと、
前記メモリセルに接続されるビット線対と、
前記ビット線対に対応して設けられ、センスアンプ活性化信号に応じて活性化されるセンスアンプと、
前記ビット線対を介して前記メモリセルに入出力される前記データを伝達する I / O 線対と、
前記ビット線対と前記 I / O 線対との間に設けられ、前記センスアンプ活性化信号および前記ビット線対を選択する列選択信号が活性化されたとき、前記ビット線対を前記 I / O 線対と導通させる接続ゲート回路とを備える半導体記憶装置。

【請求項 2】 前記接続ゲート回路は、前記ビット線対と前記 I / O 線対との間に直列に接続される第 1 および第 2 のゲートを含み、
前記第 1 のゲートは、前記センスアンプ活性化信号に応じて導通し、
前記第 2 のゲートは、前記列選択信号に応じて導通する、請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記接続ゲート回路は、前記第 1 および第 2 のゲートを接続するノード対の各ノードの電位を同じにするイコライズ回路をさらに含む、請求項 2 に記載の半導体記憶装置。

【請求項 4】 データを記憶するもう 1 つのメモリセルと、
前記もう 1 つのメモリセルに接続されるもう 1 つのビット線対と、
前記もう 1 つのビット線対に対応して設けられ、前記センスアンプ活性化信号に応じて活性化されるもう 1 つのセンスアンプと、
前記もう 1 つのビット線対と前記 I / O 線対との間に設けられ、前記センスアンプ活性化信号および前記もう 1 つのビット線対を選択するもう 1 つの列選択信号が活性化されたとき、前記もう 1 つのビット線対を前記 I / O 線対と導通させるもう 1 つの接続ゲート回路とをさらに備え、

前記もう 1 つの接続ゲート回路は、前記もう 1 つの列選択信号に応じて導通する第 3 のゲートを含み、

前記第 2 のゲートは、前記ビット線対と前記第 1 のゲートとの間に接続され、

前記第 3 のゲートは、前記もう 1 つのビット線対と前記第 1 のゲートとの間に接続される、請求項 2 に記載の半導体記憶装置。

【請求項 5】 前記センスアンプ活性化信号に応じてオンし、前記センスアンプおよび前記もう 1 つのセンスアンプを活性化する少なくとも 1 つの第 1 の N 型トランジスタをさらに備え、

前記第 1 のゲートは、第 2 の N 型トランジスタからなり、

前記第 2 の N 型トランジスタは、前記少なくとも 1 つの第 1 の N 型トランジスタが形成される領域の空き領域に形成される、請求項 4 に記載の半導体記憶装置。

【請求項 6】 前記センスアンプ活性化信号および前記列選択信号が活性化されているとき、出力信号を活性化する論理ゲート回路をさらに備え、

前記接続ゲート回路は、前記論理ゲート回路からの出力信号に応じて導通するゲートを含む、請求項 1 に記載の半導体記憶装置。

【請求項 7】 前記論理ゲート回路は、前記メモリセルが形成されるメモリセルアレイ上の杭打ち部に設けられる、請求項 6 に記載の半導体記憶装置。

【請求項 8】 前記論理ゲート回路は、前記メモリセルが形成されるメモリセルアレイの動作を制御するアレイ制御部に設けられる、請求項 6 に記載の半導体記憶装置。

【請求項 9】 前記接続ゲート回路は、ライトマスク信号に応じて導通するもう 1 つのゲートをさらに含み、

前記ゲートおよび前記もう 1 つのゲートは、前記ビット線対と前記 I / O 線対との間に直列に接続される、請求項 6 に記載の半導体記憶装置。

【請求項 10】 前記接続ゲート回路は、前記ゲートおよび前記もう 1 つのゲートを接続するノード対の各ノードの電位を同じにするイコライズ回路をさらに含む、請求項 9 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、特に、データ読出用およびデータ書込用のI/O線が共通化されたI/O共通型の半導体記憶装置に関する。

【0002】

【従来の技術】

半導体記憶装置の代表格の1つであるDRAM (Dynamic Random Access Memory) は、半導体デバイスの高集積化および大容量化に適した記憶装置として、様々なシステムにおいて使用されている。

【0003】

DRAMにおけるデータの書込動作は、一般に、以下の4つの動作からなる。すなわち、メモリセルに記憶されたデータに対応してビット線対に現われた微小電圧差をセンスアンプによって大振幅に増幅するセンス動作、データ書込対象のメモリセルが接続されるビット線対をI/O線対と接続してI/O線対上の書込データをビット線対へ書込む書込動作、ワード線の活性化に伴って一旦破壊された非選択セルの記憶データおよび上記書込データを元のメモリセルへ書込むリストア動作、およびビット線対の電位を初期化するイコライズ動作の一連の4つの動作によってデータの書込みが行なわれる。この一連の動作は、一般に、“Read modify Write動作”と呼ばれている。

【0004】

この“Read modify Write動作”においては、センスアンプ活性化信号を受けてセンスアンプが活性化され、ビット線対上の微小電圧差がセンスアンプによって十分な電圧差に増幅された後、コラム選択信号が活性化されてビット線対がI/O線対と電氣的に接続され、I/O線対からビット線対へのデータの書込みが行なわれる。

【0005】

一方、センスアンプによる電圧増幅を待たずにコラム選択信号を活性化することによって高速動作を実現する“Write before Sense動作”が知られており、この“Write before Sense動作”を実現する回路構成として、データ読出用および

データ書込用の I / O 線対が個別に設けられる I / O 分離型の D R A M が一般に知られている。この I / O 分離型の D R A M においては、コラム選択信号をセンスアンプ活性化信号と同時またはそれよりも前に活性化でき、上述したセンス動作および書込動作を同時に実行できるため、“Write before Sense動作”による I / O 分離型の D R A M は、“Read modify Write動作”による I / O 共通型の D R A M に比べて動作が高速化される。

【 0 0 0 6 】

しかしながら、I / O 分離型の D R A M においては、ビット線対をデータ読出用およびデータ書込用の I / O 線対と接続するためにビット線対ごとに接続ゲートを 2 つずつ設ける必要があるため、I / O 分離型の D R A M は、I / O 共通型の D R A M に比べて素子数が増加し、回路面積が増大するという問題を有している。

【 0 0 0 7 】

そこで、特開平 6 - 6 0 6 5 7 号公報には、I / O 線の構成を I / O 共通型とし、ビット線対を I / O 線対と接続する接続ゲート回路において、データの読出しに関しては、I / O 分離型と同じ回路構成とし、データの書込みに関しては、データ読出用のゲートトランジスタとビット線対との間に書込制御信号をゲートに受けるゲートトランジスタを設けた D R A M が開示されている。これによって、I / O 分離型の D R A M の特徴を活かしつつ、I / O 線対の数および素子数を低減し、チップサイズの縮小およびコストの低減が図られている。

【 0 0 0 8 】

【特許文献 1】

特開平 6 - 6 0 6 5 7 号公報

【 0 0 0 9 】

【発明が解決しようとする課題】

D R A M において高速化を実現すべく I / O 分離型の回路構成を採用すると、上述したように、回路面積の増大を招く。一方、従来の I / O 共通型の D R A M は、I / O 分離型の D R A M に比べて回路面積を縮小できるが、“Write before Sense動作”は実現できない。以下、従来の I / O 共通型の D R A M において“

“Write before Sense動作”を行なったときに発生する問題について説明する。

【0010】

I/O共通型のDRAMにおいて、データ書込時、センスアンプ活性化信号が活性化される前にコラム選択信号が活性化されると、I/O線対に接続されたビット線対（以下、「選択ビット線対」とも称する。）の電圧がフルスイングすることによって、その選択ビット線対に隣接するビット線が選択ビット線対からカップリングの影響を受け、DRAMが誤動作する可能性がある。

【0011】

すなわち、ワード線が活性化されると、そのワード線に接続されるメモリセルに記憶されているデータは、メモリセルの選択／非選択に拘わらず、微小電圧変化として対応するビット線対上に読出される。そして、センスアンプが活性化される前に選択ビット線対がI/O線対と接続され、書込データに対応してI/O線対に発生している電圧に応じて選択ビット線対の電圧が変化すると、まだセンスアンプによって増幅されていない隣接するビット線の電圧がその選択ビット線対からカップリングの影響を受ける。その結果、カップリングの影響を受けた隣接ビット線の記憶データの内容が反転してしまうおそれがある。

【0012】

上記特開平6-60657号公報に開示されたDRAMは、I/O分離型のDRAMの特徴を活かしつつI/O共通型で回路を構成し、回路面積の縮小が図られているが、データ書込時においては、コラム選択信号および書込制御信号が活性化されるのは、センスアンプが活性化されビット線対上の電圧が十分に増幅された後であり、センスアンプが活性化される前にコラム選択信号および書込制御信号が活性化されると、上述したカップリングの問題が起こる。すなわち、このDRAMでは、“Write before Sense動作”は実現できない。

【0013】

そこで、この発明は、かかる課題を解決するためになされたものであり、その目的は、I/O共通型の回路構成で“Write before Sense動作”を実現する半導体記憶装置を提供することである。

【0014】

【課題を解決するための手段】

この発明によれば、半導体記憶装置は、データを記憶するメモリセルと、メモリセルに接続されるビット線対と、ビット線対に対応して設けられ、センスアンプ活性化信号に応じて活性化されるセンスアンプと、ビット線対を介してメモリセルに入出力されるデータを伝達する I/O 線対と、ビット線対と I/O 線対との間に設けられ、センスアンプ活性化信号およびビット線対を選択する列選択信号が活性化されたとき、ビット線対を I/O 線対と導通させる接続ゲート回路とを備える。

【0015】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

【0016】

【実施の形態 1】

図 1 は、この発明の実施の形態 1 による半導体記憶装置の全体構成を示す概略ブロック図である。

【0017】

図 1 を参照して、半導体記憶装置 10 は、制御信号端子 12 と、クロック端子 14 と、アドレス端子 16 と、データ入出力端子 18 とを備える。また、半導体記憶装置 10 は、制御信号バッファ 20 と、クロックバッファ 22 と、アドレスバッファ 24 と、入出力バッファ 26 とを備える。さらに、半導体記憶装置 10 は、制御回路 28 と、行アドレスデコーダ 30 と、列アドレスデコーダ 32 と、メモリアレイ 34 とを備える。

【0018】

制御信号端子 12 は、チップセレクト信号 /CS、行アドレスストローブ信号 /RAS、列アドレスストローブ信号 /CAS およびライトイネーブル信号 /WE のコマンド制御信号を受ける。クロック端子 14 は、外部クロック CLK およびクロックイネーブル信号 CKE を受ける。アドレス端子 16 は、アドレス信号 A0 ~ An (n は自然数) を受ける。

【0019】

クロックバッファ22は、外部クロックCLKを受けて内部クロックを発生し、制御信号バッファ20、アドレスバッファ24、入出力バッファ26および制御回路28へ内部クロックを出力する。制御信号バッファ20は、クロックバッファ22から受ける内部クロックに応じて、チップセレクト信号/CS、行アドレスストロブ信号/RAS、列アドレスストロブ信号/CASおよびライトイネーブル信号/WEを取込んでラッチし、制御回路28へ出力する。アドレスバッファ24は、クロックバッファ22から受ける内部クロックに応じてアドレス信号A0～Anを取込んでラッチし、内部アドレス信号を発生して行アドレスデコーダ30および列アドレスデコーダ32へ出力する。

【0020】

データ入出力端子18は、半導体記憶装置10において読み書きされるデータを外部とやり取りする端子であって、データ書込時は外部から入力されるデータDQ0～DQi（iは自然数）を受け、データ読出時はデータDQ0～DQiを外部へ出力する。

【0021】

入出力バッファ26は、データ書込時は、クロックバッファ22から受ける内部クロックに応じてデータDQ0～DQiを取込んでラッチし、I/O線対を介して内部データIDQをメモリアレイ34へ出力する。一方、入出力バッファ26は、データ読出時は、クロックバッファ22から受ける内部クロックに応じて、メモリアレイ34から上記I/O線対を介して受ける内部データIDQをデータ入出力端子18へ出力する。

【0022】

制御回路28は、クロックバッファ22から受ける内部クロックに応じて制御信号バッファ20からコマンド制御信号を取込み、取込んだコマンド制御信号に基づいて行アドレスデコーダ30、列アドレスデコーダ32および入出力バッファ26を制御する。これによって、データDQ0～DQiのメモリアレイ34への読み書きが行なわれる。

【0023】

行アドレスデコーダ30は、制御回路28からの指示に基づいて、アドレス信号A0～Anに対応するメモリアレイ34上のワード線を選択し、選択されたワード線をワード線ドライバ（図示せず）によって活性化する。また、列アドレスデコーダ32は、制御回路28からの指示に基づいて、アドレス信号A0～Anに対応するメモリアレイ34上のビット線対を選択し、対応するコラム選択信号を活性化する。

【0024】

図2は、図1に示したメモリアレイ34の構成を示す回路図である。

図2を参照して、メモリアレイ34は、データを記憶する複数のメモリセルが行列状に配列されたメモリブロック341と、メモリセル行に対応して設けられる複数のワード線WL1, WL2…と、メモリセル列に対応して設けられる複数のビット線対BL1, /BL1…と、各ビット線対に対応して設けられる複数のセンスアンプを含むセンスアンプ帯342と、ビット線対とI/O線対との間に設けられ、列アドレスデコーダ32から受けるコラム選択信号CSL1, CSL2…に基づいて動作する複数の接続ゲート回路を含む接続ゲート帯343と、センスアンプ帯342や接続ゲート帯343の動作を制御する入出力制御回路344とを含む。ここで、メモリブロック341は、上記複数のワード線WL1, WL2…を介して行アドレスデコーダ30と接続される。

【0025】

再び図1を参照して、データ書込時においては、書込データDQが入出力バッファ26に取込まれると、行アドレスデコーダ30によって選択ワード線が活性化され、列アドレスデコーダ32によってコラム選択信号が活性化される。ただし、後述するように、コラム選択信号が活性化されるのみでは、接続ゲート回路はオンしない。そして、入出力制御回路によってセンスアンプ活性化信号が活性化されると、センスアンプが活性化するとともに接続ゲート回路がオンする。これにより、I/O線対から接続ゲート回路を介して選択ビット線対へ内部データIDQが書込まれる。

【0026】

センスアンプは、内部データIDQの論理レベルに応じて、選択ビット線およ

び相補ビット線の電圧レベルをそれぞれ電源電圧 V_{dd} および接地電圧 GND または接地電圧 GND および電源電圧 V_{dd} にする。これによって、行アドレスデコーダ 30 によって活性化されたワード線と列アドレスデコーダ 32 によって選択されたビット線対とに接続されるメモリブロック上のメモリセルに内部データ IDQ が書込まれる。

【 0 0 2 7 】

一方、データ読出時は、データ読出前にビット線対が電圧 $V_{dd}/2$ にプリチャージされた後、行アドレスデコーダ 30 によって選択ワード線が活性化され、列アドレスデコーダ 32 によってコラム選択信号が活性化される。ただし、データ書込時と同様に、コラム選択信号が活性化されるのみでは、接続ゲート回路はオンしない。そして、入出力制御回路によってセンスアンプ活性化信号が活性化されると、センスアンプが活性化するとともに接続ゲート回路がオンする。これにより、センスアンプによって増幅される選択ビット線対上の電位が接続ゲート回路を介して I/O 線対へ伝わり、内部データ IDQ が読出される。

【 0 0 2 8 】

図 3 は、実施の形態 1 による半導体記憶装置のセンスアンプ周辺の回路図である。なお、図 3 においては、図示の関係上、1 つのセンスアンプ周辺の回路のみが示されているが、実際には、その他の部分は、繰返し構成となっている。以下では、図 3 に示された範囲で説明を行なう。

【 0 0 2 9 】

図 3 を参照して、ビット線対 BL , $/BL$ に接続されるセンスアンプ 52 の周辺には、接続ゲート回路 54 と、インバータ 56 と、P チャネル MOS トランジスタ $P2$ と、N チャネル MOS トランジスタ $N2$, $N16$, $N18$ とが設けられている。

【 0 0 3 0 】

センスアンプ 52 は、P チャネル MOS トランジスタ $P4$, $P6$ と、N チャネル MOS トランジスタ $N4$, $N6$ とからなる。P チャネル MOS トランジスタ $P4$ は、ノード NDP とビット線 BL との間に接続され、ビット線 $/BL$ にゲートが接続される。P チャネル MOS トランジスタ $P6$ は、ノード NDP とビット線

／B Lとの間に接続され、ビット線B Lにゲートが接続される。NチャネルMOSトランジスタN 4は、ビット線B LとノードNDNとの間に接続され、ビット線／B Lにゲートが接続される。NチャネルMOSトランジスタN 6は、ビット線／B LとノードNDNとの間に接続され、ビット線B Lにゲートが接続される。

【0 0 3 1】

また、PチャネルMOSトランジスタP 2は、電源ノードV d dとノードNDPとの間に接続され、インバータ5 6からの出力信号をゲートに受ける。NチャネルMOSトランジスタN 2は、ノードNDNと接地ノードGNDとの間に接続され、センスアンプ活性化信号S 0をゲートに受ける。インバータ5 6は、センスアンプ活性化信号S 0を反転した信号を出力する。

【0 0 3 2】

センスアンプ5 2は、入出力制御回路（図示せず）から出力されるセンスアンプ活性化信号S 0によって制御される。すなわち、センスアンプ活性化信号S 0がH（論理ハイ）レベルのとき、センスアンプ5 2は活性化され、センスアンプ活性化信号S 0がL（論理ロー）レベルのとき、センスアンプ5 2は不活性化される。そして、センスアンプ5 2は、活性化しているとき、ビット線対B L，／B Lの微小電圧差を増幅する。

【0 0 3 3】

接続ゲート回路5 4は、NチャネルMOSトランジスタN 8～N 1 4と、ND 1，ND 2とからなる。NチャネルMOSトランジスタN 8は、ビット線B LとノードND 1との間に接続され、センスアンプ活性化信号S 0をゲートに受ける。NチャネルMOSトランジスタN 1 0は、ノードND 1とグローバルI O線G I Oとの間に接続され、コラム選択信号C S Lをゲートに受ける。NチャネルMOSトランジスタN 1 2は、ビット線／B LとノードND 2との間に接続され、センスアンプ活性化信号S 0をゲートに受ける。NチャネルMOSトランジスタN 1 6は、ノードND 2とグローバルI O線／G I Oとの間に接続され、コラム選択信号C S Lをゲートに受ける。

【0 0 3 4】

ここで、グローバル I O 線 G I O およびグローバル I O 線 / G I O は、「I / O 線対」を構成する。

【 0 0 3 5 】

接続ゲート回路 5 4 は、センスアンプ活性化信号 S 0 および列アドレスデコーダ 3 2（図示せず）から出力されるコラム選択信号 C S L によって制御される。そして、センスアンプ活性化信号 S 0 およびコラム選択信号 C S L をそれぞれゲートに受ける N チャンネル MOS トランジスタ N 8，N 1 0 がビット線 B L とグローバル I O 線 G I O との間にシリアルに接続され、センスアンプ活性化信号 S 0 およびコラム選択信号 C S L をそれぞれゲートに受ける N チャンネル MOS トランジスタ N 1 2，N 1 4 がビット線 / B L とグローバル I O 線 / G I O との間にシリアルに接続される。したがって、接続ゲート回路 5 4 は、センスアンプ活性化信号 S 0 およびコラム選択信号 C S L のいずれもが H レベルのときオンし、ビット線対 B L，/ B L をグローバル I O 線対 G I O，/ G I O と電氣的に接続する。

【 0 0 3 6 】

N チャンネル MOS トランジスタ N 1 6，N 1 8 は、メモリブロック（図示せず）とビット線対 B L，/ B L との間にそれぞれ接続され、いずれもビット線接続信号 B L I をゲートに受ける。N チャンネル MOS トランジスタ N 1 6，N 1 8 は、ビット線接続信号 B L I の電圧レベルが接地電圧 G N D のときオフし、メモリブロックをビット線対 B L，/ B L と電氣的に分離する。

【 0 0 3 7 】

図 4 は、図 3 に示した回路の読出動作時の動作波形図である。

図 4 を参照して、時刻 T 1 において、ワード線 W L が活性化されると、時刻 T 2 において、メモリセルに記憶されているデータに応じてビット線 B L，/ B L に微小な電位変化が現われる。そして、時刻 T 3 において、コラム選択信号 C S L が活性化されるが、センスアンプ活性化信号 S 0 が不活性化されているので、接続ゲート回路 5 4 はオンせず、ビット線対 B L，/ B L は、グローバル I O 線対 G I O，/ G I O と電氣的に分離されている。

【 0 0 3 8 】

時刻T4において、センスアンプ活性化信号S0が活性化されると、センスアンプ52が活性化され、ビット線対BL、 \overline{BL} の電圧レベルが相反する方向に増幅される。そして、これと同時に、接続ゲート回路54のNチャネルMOSトランジスタN8、N12がオンする。そうすると、接続ゲート回路54がオンし、ビット線対BL、 \overline{BL} がグローバルIO線対GIO、 \overline{GIO} と電氣的に接続され、グローバルIO線対GIO、 \overline{GIO} にデータが読出される。

【0039】

時刻T5以降はリストア動作であり、時刻T5において十分に増幅された記憶データは、メモリセルへ再書込され、時刻T6において、ワード線WL、コラム選択信号CSLおよびセンスアンプ活性化信号S0が不活性化される。そして、時刻T7において、ビット線イコライズ回路（図示せず）によって、ビット線対BL、 \overline{BL} の電圧レベルが初期化される。

【0040】

図5は、図3に示した回路の書込動作時の動作波形図である。

図5を参照して、時刻T1～T3までの動作波形は、図4に示した読出動作時の動作波形と同じである。時刻T4において、センスアンプ活性化信号S0が活性化されると、センスアンプ52が活性化され、これと同時に、接続ゲート回路54のNチャネルMOSトランジスタN8、N12がオンする。したがって、接続ゲート回路54がオンし、ビット線対BL、 \overline{BL} がグローバルIO線対GIO、 \overline{GIO} と電氣的に接続される。そうすると、グローバルIO線対GIO、 \overline{GIO} からビット線対BL、 \overline{BL} へデータが書込まれ、その書込まれたデータをセンスアンプ52が増幅する。

【0041】

時刻T5以降はリストア動作であり、図4に示した読出動作時の動作波形と同じである。

【0042】

上述したように、接続ゲート回路54は、センスアンプ活性化信号S0を取込んでいるので、センスアンプ52が活性化される前に接続ゲート回路54がオンすることはない。すなわち、センスアンプ52が活性化される前にビット線対B

L, /BLがグローバルIO線対GIO, /GIOと電氣的に接続されることはない。したがって、上述したカップリングの問題は発生しない。

【0043】

そして、センスアンプ52の活性化前に寄生容量の大きいグローバルIO線対GIO, /GIOにあらかじめデータを書込んでおき、コラム選択信号CSLを活性化しておくことで、センスアンプ52の活性化と同時にグローバルIO線対GIO, /GIOからビット線対BL, /BLへのデータの書込みを開始することができる。すなわち、“Write before Sense動作”が実現される。

【0044】

なお、図3に示した回路は、従来のI/O共通型の回路と同じ動作を行なうことも可能である。

【0045】

図6は、図3に示した回路の書込動作においてセンスアンプを活性化した後にコラム選択信号を活性化する場合の動作波形図である。

【0046】

図6を参照して、時刻T1において、ワード線WLが活性化されると、時刻T2において、メモリセルに記憶されているデータに応じてビット線BL, /BLに微小な電位変化が現われる。続いて、時刻T3において、センスアンプ活性化信号S0が活性化されると、センスアンプ52が活性化され、ビット線対BL, /BLの電圧レベルが相反する方向に増幅される。

【0047】

そして、ビット線対BL, /BLの電圧差が十分に増幅された時刻T4において、コラム選択信号CSLが活性化されると、接続ゲート回路54のNチャネルMOSトランジスタN10, N14がオンする。したがって、接続ゲート回路54がオンし、ビット線対BL, /BLがグローバルIO線対GIO, /GIOと電氣的に接続される。そうすると、グローバルIO線対GIO, /GIOからビット線対BL, /BLにデータが書込まれ、その書込まれたデータをセンスアンプ52が増幅する。

【0048】

時刻 T 5 以降はリストア動作であり、図 5 に示した書込動作時の動作波形と同じである。

【 0 0 4 9 】

しかしながら、この半導体記憶装置 1 0 においては、コラム選択信号 C S L をセンスアンプ活性化信号 S 0 の活性化と同時またはそれ以前に活性化してもカップリングの問題は生じない。したがって、図 6 に示したように、センスアンプ活性化信号 S 0 の活性化からコラム選択信号 C S L の活性化までの遅延時間を設ける必要はなく、図 5 に示したように、動作の高速化が実現できる。

【 0 0 5 0 】

図 7 は、図 3 に示した接続ゲート回路がイコライズ機能を有する場合のセンスアンプ周辺の回路図である。

【 0 0 5 1 】

図 7 を参照して、この回路は、図 3 に示した回路の構成において、接続ゲート回路 5 4 に代えて接続ゲート回路 5 4 A を備える。接続ゲート回路 5 4 A は、接続ゲート回路 5 4 の構成において、N チャネル MOS トランジスタ N 2 0 をさらに含む。N チャネル MOS トランジスタ N 2 0 は、ノード N D 1, N D 2 の間に接続され、イコライズ信号 E Q をゲートに受ける。

【 0 0 5 2 】

N チャネル MOS トランジスタ N 2 0 は、入出力制御回路（図示せず）から出力されるイコライズ信号 E Q が H レベルのときオンし、ノード N D 1, N D 2 の電位を同電位にする。すなわち、N チャネル MOS トランジスタ N 2 0 は、「イコライズ回路」を構成する。

【 0 0 5 3 】

イコライズ信号 E Q は、ビット線対 B L, / B L のイコライズ動作時に活性化される。したがって、接続ゲート回路 5 4 A のノード N D 1, N D 2 は、ビット線対 B L, / B L がイコライズされるタイミングで同時にイコライズされる。

【 0 0 5 4 】

そして、このイコライズ回路を設けることによって、ビット線対 B L, / B L がグローバル I O 線対 G I O, / G I O と電氣的に接続されるときにノード N D

1, ND 2 が不安定状態にあることはなく、ビット線対 BL, /BL の電位がノード ND 1, ND 2 に速やかに反映され、その結果、ビット線対 BL, /BL およびグローバル IO 線対 GIO, /GIO 間のデータ伝送が高速化される。

【0055】

以上のように、この実施の形態 1 による半導体記憶装置によれば、コラム選択信号 CSL およびセンスアンプ活性化信号 S0 のいずれも活性化されていないと接続ゲート回路 54, 54A がオンしないようにしたので、センスアンプ 52 の活性化前にビット線対 BL, /BL がグローバル IO 線対 GIO, /GIO に接続されることはない。したがって、I/O 共通型の回路でありながらカップリングの問題は発生せず、“Write before Sense動作”が実現できる。その結果、高速かつ回路面積の小さい半導体記憶装置が実現できる。

【0056】

また、接続ゲート回路 54A にイコライズ回路を設けることによって、さらに動作速度が改善される。

【0057】

〔実施の形態 2〕

実施の形態 2 による半導体記憶装置の全体構成は、図 1 に示した半導体記憶装置の全体構成と同じである。

【0058】

図 8 は、実施の形態 2 による半導体記憶装置のセンスアンプ周辺の回路図である。なお、図 8 においても、図 3 と同様に、図示の関係上、1 つのセンスアンプ周辺の回路のみが示されているが、実際には、その他の部分は、繰返し構成となっている。以下では、図 8 に示された範囲で説明を行なう。

【0059】

図 8 を参照して、この回路は、図 3 に示された回路の構成において、接続ゲート回路 54 に代えて接続ゲート回路 54B を備える。接続ゲート回路 54B は、N チャネル MOS トランジスタ N22 ~ N28 と、ノード ND3, ND4 とを含む。

【0060】

NチャネルMOSトランジスタN22は、ビット線BLとノードND3との間に接続され、コラム選択信号CSLをゲートに受ける。NチャネルMOSトランジスタN24は、ノードND3とグローバルIO線GIOとの間に接続され、センスアンプ活性化信号S0をゲートに受ける。NチャネルMOSトランジスタN26は、ビット線／BLとノードND4との間に接続され、コラム選択信号CSLをゲートに受ける。NチャネルMOSトランジスタN28は、ノードND4とグローバルIO線／GIOとの間に接続され、センスアンプ活性化信号S0をゲートに受ける。

【0061】

接続ゲート回路54Bは、ビット線対BL，／BLにそれぞれ接続されるNチャネルMOSトランジスタN22，N26がコラム選択信号CSLをゲートに受け、グローバルIO線対GIO，／GIOにそれぞれ接続されるNチャネルMOSトランジスタN24，N28がセンスアンプ活性化信号S0を受ける点において、実施の形態1における接続ゲート回路54と異なるが、機能的には同じである。

【0062】

図9は、図8に示した接続ゲート回路がイコライズ機能を有する場合のセンスアンプ周辺の回路図である。

【0063】

図9を参照して、この回路は、図8に示した回路の構成において、接続ゲート回路54Bに代えて接続ゲート回路54Cを備える。接続ゲート回路54Cは、図8に示した接続ゲート回路54Bの構成において、NチャネルMOSトランジスタN30をさらに含む。NチャネルMOSトランジスタN30は、ノードND3，ND4の間に接続され、イコライズ信号EQをゲートに受ける。

【0064】

NチャネルMOSトランジスタN30は、入出力制御回路（図示せず）から出力されるイコライズ信号EQがHレベルのときオンし、ノードND3，ND4の電位を同電位にする。すなわち、NチャネルMOSトランジスタN30は、「イコライズ回路」を構成する。このイコライズ回路の機能は、実施の形態1で説明

したNチャネルMOSトランジスタN20によるイコライズ機能と同じである。

【0065】

図8、図9に示した回路のように、センスアンプ活性化信号S0をゲートに受けるトランジスタをグローバルIO線対GIO、／GIO側に配置することによって、グローバルIO線対GIO、／GIOを共用する複数の接続ゲート回路において、上記トランジスタを共通化することができる。

【0066】

図10は、センスアンプ活性化信号S0をゲートに受けるトランジスタが複数の接続ゲート回路によって共通化される場合のセンスアンプ周辺の回路図である。

【0067】

図10を参照して、回路70.1は、コラム選択信号CSL1に対応する回路であって、回路構成は、図8に示した回路の構成と同じである。回路70.nは、コラム選択信号CSLnに対応する回路であって、回路70.nは、図8に示した回路の構成において、接続ゲート回路54Bに代えて接続ゲート回路54B.nを備える。

【0068】

接続ゲート回路54B.nは、NチャネルMOSトランジスタN22n、N26nを含む。NチャネルMOSトランジスタN22nは、ビット線BLとノードND3との間に接続され、コラム選択信号CSLnをゲートに受ける。NチャネルMOSトランジスタN26nは、ビット線／BLとノードND4との間に接続され、コラム選択信号CSL1をゲートに受ける。

【0069】

接続ゲート回路54B、54B.nは、接続ゲート回路54Bに含まれるNチャネルMOSトランジスタN24、N28を共用する。すなわち、回路70.1、70.nは、グローバルIO線対GIO、／GIOを共用するが、コラム選択信号CSL1、CSLnが同時に活性化されることはないので、ビット線対BL1、／BL1およびビット線対BLn、／BLnが同時に共通のグローバルIO線対GIO、／GIOに接続されることはない。そこで、センスアンプ活性化信

号S0をゲートに受けるトランジスタを回路70.1, 70.nで共通化することによって素子数を低減し、回路面積のさらなる縮小が図られる。

【0070】

なお、上記においては、センスアンプ52, 52.nを活性化するPチャネルMOSトランジスタP2, P2.nおよびNチャネルMOSトランジスタN2, N2.nは、センスアンプ52, 52.nごとに設けられたが、たとえば、一組のPチャネルMOSトランジスタP2およびNチャネルMOSトランジスタN2をセンスアンプ52, 52.nにおいて共有するようにしてもよい。

【0071】

図11は、図10に示した回路の平面構成を概略的に説明する平面図である。

図11, 図10を参照して、SAドライバ帯102は、PチャネルMOSトランジスタP2, P2.nが形成される領域である。クロスカップル帯104は、PチャネルMOSトランジスタP4, P4.n, P6, P6.nが形成される領域である。クロスカップル帯106は、NチャネルMOSトランジスタN4, N4.n, N6, N6.nが形成される領域である。

【0072】

SAドライバ帯108, 110は、NチャネルMOSトランジスタN2, N2.nが形成される領域である。Yゲート帯112~118は、コラム選択信号CSL1またはCSLnをゲートに受けるNチャネルMOSトランジスタN22, N22.n, N26, N26.nが形成される領域である。Yゲート帯120は、センスアンプ活性化信号S0をゲートに受けるNチャネルMOSトランジスタN24, N28が形成される領域である。

【0073】

一般に、NチャネルMOSトランジスタは、PチャネルMOSトランジスタよりも面積的に小さいので、PチャネルMOSトランジスタが形成されるSAドライバ帯102の占有面積に対して、NチャネルMOSトランジスタが形成されるSAドライバ帯108, 110の占有面積は小さく、SAドライバ帯108, 110間には空き領域が生じる。

【0074】

一方、図 1 0 に示した回路においては、センスアンプ活性化信号 S 0 を受ける N チャンネル MOS トランジスタ N 2 4, N 2 8 は、複数の接続ゲート回路 5 4 B, 5 4 B. n によって共通化されるので、Y ゲート帯 1 2 0 の占有面積は小さくて済む。そこで、従来、Y ゲート帯 1 1 2 ~ 1 1 8 に対して S A ドライバ帯 1 0 8, 1 1 0 と反対側に設けられていた Y ゲート帯 1 2 0 を上記空き領域に設けることによって、回路面積を縮小できる。

【 0 0 7 5 】

なお、図 1 0 に示した回路においても、接続ゲート回路にイコライズ機能を設けることができる。この場合、センスアンプ活性化信号 S 0 をゲートに受けるトランジスタが複数の接続ゲート回路によって共通化され、ノード N D 3, N D 4 が複数の接続ゲート回路において共有されていることから、ノード N D 3, N D 4 の電位を同電位にするイコライズ回路も、複数の接続ゲート回路によって共通化することができる。

【 0 0 7 6 】

以上のように、この実施の形態 2 による半導体記憶装置によっても、実施の形態 1 と同様の効果を得ることができる。

【 0 0 7 7 】

また、共通のグローバル I O 線対 G I O, / G I O に接続される接続ゲート回路 5 4 B, 5 4 B. n において、センスアンプ活性化信号 S 0 をゲートに受ける N チャンネル MOS トランジスタ N 2 4, N 2 8 を共通化できるので、この場合は、回路面積をさらに縮小することができる。

【 0 0 7 8 】

〔実施の形態 3〕

実施の形態 3 による半導体記憶装置の全体構成は、図 1 に示した半導体記憶装置の全体構成と同じである。

【 0 0 7 9 】

図 1 2 は、実施の形態 3 による半導体記憶装置のセンスアンプ周辺の回路図である。なお、図 1 2 においても、図 3 と同様に、図示の関係上、1 つのセンスアンプ周辺の回路のみが示されているが、実際には、その他の部分は、繰返しの構

成となっている。以下では、図 1 2 に示された範囲で説明を行なう。

【0080】

図 1 2 を参照して、この回路は、図 3 に示された回路の構成において、AND ゲート 5 8 をさらに備え、接続ゲート回路 5 4 に代えて接続ゲート回路 5 4 D を備える。AND ゲート 5 8 は、センスアンプ活性化信号 S 0 およびコラム選択信号 C S L の論理積を演算し、その演算結果を接続ゲート回路 5 4 D へ出力する。ここで、AND ゲート 5 8 は、「論理ゲート回路」を構成する。

【0081】

接続ゲート回路 5 4 D は、N チャネル MOS トランジスタ N 3 2, N 3 4 を含む。N チャネル MOS トランジスタ 3 2 は、ビット線 B L とグローバル I O 線 G I O との間に接続され、AND ゲート 5 8 からの出力信号 C S L S をゲートに受ける。N チャネル MOS トランジスタ 3 4 は、ビット線 / B L とグローバル I O 線 / G I O との間に接続され、AND ゲート 5 8 からの出力信号 C S L S をゲートに受ける。

【0082】

接続ゲート回路 5 4 D は、AND ゲート 5 8 からの出力信号 C S L S が H レベルのとき、すなわち、センスアンプ活性化信号 S 0 およびコラム選択信号 C S L のいずれもが H レベルのとき、ビット線対 B L, / B L をグローバル I O 線対 G I O, / G I O と電氣的に接続する。その結果、この回路によっても、図 3 に示した回路と同様の機能が実現される。

【0083】

そして、AND ゲート 5 8 からの出力信号 C S L S によって接続ゲート回路 5 4 D の動作を制御することで、図 3 や図 8 に示した実施の形態 1, 2 における回路よりも回路面積を縮小することができる。すなわち、図 1 2 に示した回路で構成されるメモリアレイは、図 3 や図 8 に示した回路で構成されるメモリアレイに比べて、センスアンプの個数×2 個分の素子を削減できる。一方、AND ゲート 5 8 による素子の増加は、メモリブロックの段数×2 個分の増加ですむため、全体として素子数が削減され、回路面積を縮小できる。

【0084】

図13は、図12に示した接続ゲート回路がライトマスク機能を有する場合の回路図である。

【0085】

図13を参照して、この回路は、図12に示した回路の構成において、接続ゲート回路54Dに代えて接続ゲート回路54Eを備える。接続ゲート回路54Eは、接続ゲート回路54Dの構成において、NチャネルMOSトランジスタN36、N38と、ノードND5、ND6とをさらに含む。

【0086】

NチャネルMOSトランジスタN32、N34は、それぞれノードND5、ND6と接続される。NチャネルMOSトランジスタN36は、ノードND5とグローバルIO線GIOとの間に接続され、ライトマスク信号WMをゲートに受ける。NチャネルMOSトランジスタN38は、ノードND6とグローバルIO線／GIOとの間に接続され、ライトマスク信号WMをゲートに受ける。

【0087】

接続ゲート回路54Eは、センスアンプ活性化信号S0およびコラム選択信号CSL、ならびに入出力制御回路（図示せず）から出力されるライトマスク信号WMによって制御される。すなわち、ライトマスク信号WMがHレベルのとき、NチャネルMOSトランジスタN36、N38はオンし、図13に示した回路は、図12に示した回路と同じ動作をする。一方、ライトマスク信号WMがLレベルのとき、NチャネルMOSトランジスタN36、N38はオフし、接続ゲート回路54Eは、ビット線対BL、／BLをグローバルIO線対GIO、／GIOと電氣的に分離する。したがって、書込データは、マスクされる。

【0088】

図14は、図13に示した回路が構成されるメモリアレイ34の平面構成を概略的に説明する平面図である。

【0089】

図14を参照して、メモリアレイ34は、アレイ部152、154と、アレイ制御部156と、データバス部158、160とを含む。アレイ部152、154には、メモリセルおよびセンスアンプ52が形成される。アレイ制御部156

には、ワード線活性化信号、ビット線接続信号BLI、センスアンプ活性化信号S0、コラム選択信号CSLおよびイコライズ信号EQをそれぞれ活性化するドライバ、ならびに図13に示したANDゲート58が形成される。データパス部158, 160には、グローバルIO線対GIO, /GIOを駆動するプリアンプやライト/リードドライバなどが形成される。

【0090】

このように、ANDゲート58をアレイ制御部156に形成することで、アレイ部に含まれる接続ゲート回路54Eは、シリアル接続したトランジスタのみで構成され、レイアウト効率が向上する。

【0091】

なお、上記では、ANDゲート58は、アレイ制御部156に形成されるものとしたが、たとえば、杭打ち部などに形成されてもよい。ここで、杭打ち部とは、アレイ部に含まれるメモリセルアレイにおいて、高抵抗のゲート配線の抵抗値を低減するため、ゲート配線を低抵抗のメタル配線と一定の間隔でコンタクト接続された部分をいう。

【0092】

図15は、図13に示した接続ゲート回路がイコライズ機能を有する場合のセンスアンプ周辺の回路図である。

【0093】

図15を参照して、この回路は、図13に示した回路の構成において、接続ゲート回路54Eに代えて接続ゲート回路54Fを備える。接続ゲート回路54Fは、図13に示した接続ゲート回路54Eの構成において、NチャネルMOSトランジスタN40をさらに含む。NチャネルMOSトランジスタN40は、ノードND5, ND6との間に接続され、イコライズ信号EQをゲートに受ける。

【0094】

NチャネルMOSトランジスタN40は、入出力制御回路（図示せず）から出力されるイコライズ信号EQがHレベルのときオンし、ノードND5, ND6の電位を同電位にする。すなわち、NチャネルMOSトランジスタN40は、「イコライズ回路」を構成する。このイコライズ回路の機能は、実施の形態1で説明

したNチャネルMOSトランジスタN20によるイコライズ機能と同じである。

【0095】

以上のように、この実施の形態3による半導体記憶装置によっても、実施の形態1と同様の効果を得ることができる。

【0096】

また、センスアンプ活性化信号S0およびコラム選択信号CSLを入力とするANDゲート58からの出力信号CSLSを接続ゲート回路において用いるようにしたので、回路全体の素子数を削減することができ、また、回路のレイアウト効率も向上する。その結果、回路面積を縮小することができる。

【0097】

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0098】

【発明の効果】

この発明によれば、接続ゲート回路の活性化にコラム選択信号およびセンスアンプ活性化信号を用い、コラム選択信号およびセンスアンプ活性化信号のいずれも活性化されていないと接続ゲート回路がオンしないようにしたので、ビット線対BL、／BLおよびグローバルIO線対GIO、／GIOがセンスアンプの活性化前に接続されることはなく、カップリングの問題は発生し得ない。

【0099】

そして、上記のようにすることで、I／O共通型の回路で“Write before Sense動作”が実現され、高速かつ回路面積の小さい半導体記憶装置が実現できる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体記憶装置の全体構成を示す概略ブロック図である。

【図2】 図1に示すメモリアレイの構成を示す回路図である。

【図3】 実施の形態1による半導体記憶装置のセンスアンプ周辺の回路図

である。

【図 4】 図 3 に示す回路の読出動作時の動作波形図である。

【図 5】 図 3 に示す回路の書込動作時の動作波形図である。

【図 6】 図 3 に示す回路の書込動作においてセンスアンプを活性化した後
にコラム選択信号を活性化する場合の動作波形図である。

【図 7】 図 3 に示す接続ゲート回路がイコライズ機能を有する場合のセン
スアンプ周辺の回路図である。

【図 8】 実施の形態 2 による半導体記憶装置のセンスアンプ周辺の回路図
である。

【図 9】 図 8 に示す接続ゲート回路がイコライズ機能を有する場合のセン
スアンプ周辺の回路図である。

【図 1 0】 センスアンプ活性化信号をゲートに受けるトランジスタが複数の
接続ゲート回路によって共通化される場合のセンスアンプ周辺の回路図である

。

【図 1 1】 図 1 0 に示す回路の平面構成を概略的に説明する平面図である

。

【図 1 2】 実施の形態 3 による半導体記憶装置のセンスアンプ周辺の回路
図である。

【図 1 3】 図 1 2 に示す接続ゲート回路がライトマスク機能を有する場合
の回路図である。

【図 1 4】 図 1 3 に示す回路が構成されるメモリアレイの平面構成を概略
的に説明する平面図である。

【図 1 5】 図 1 3 に示す接続ゲート回路がイコライズ機能を有する場合の
センスアンプ周辺の回路図である。

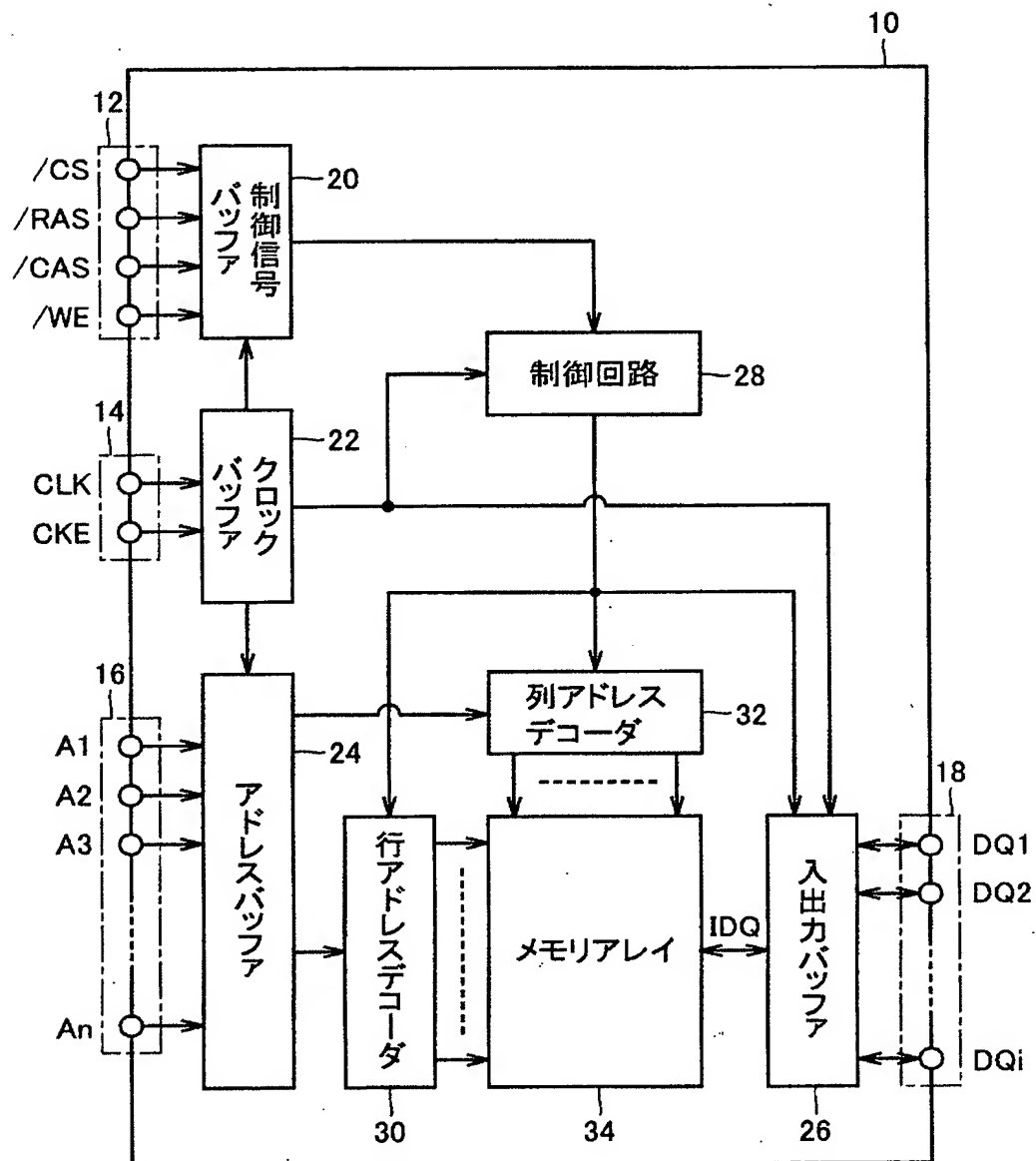
【符号の説明】

1 0 半導体記憶装置、1 2 制御信号端子、1 4 クロック端子、1 6 ア
ドレス端子、1 8 データ入出力端子、2 0 制御信号バッファ、2 2 クロッ
クバッファ、2 4 アドレスバッファ、2 6 入出力バッファ、2 8 制御回路
、3 0 行アドレスデコーダ、3 2 列アドレスデコーダ、3 4 メモリアレイ

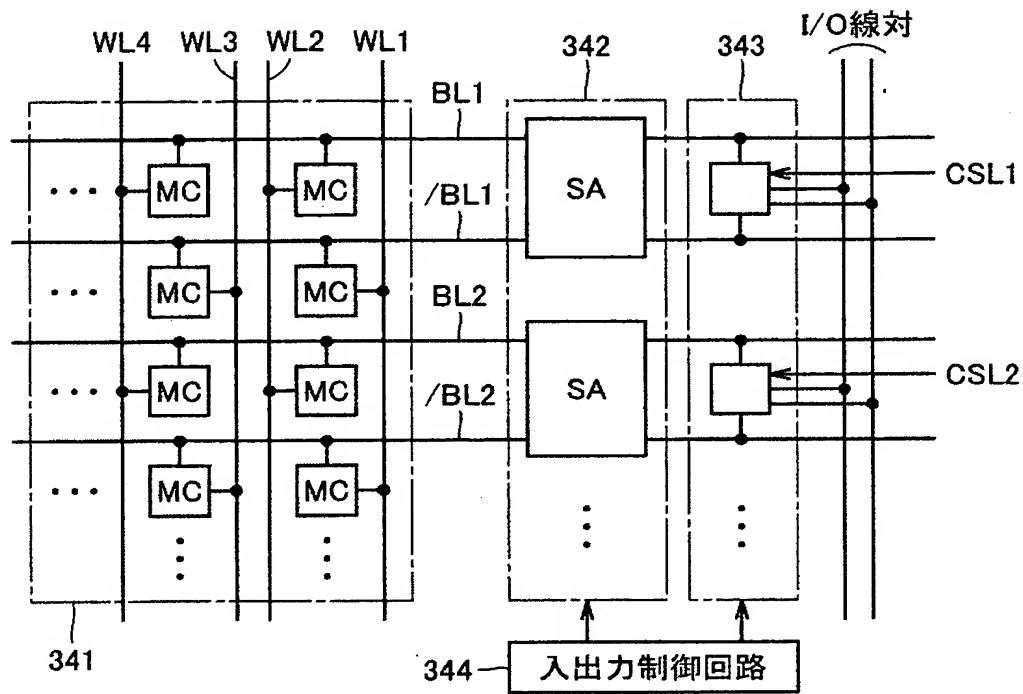
、52 センスアンプ、54, 54A~54F 接続ゲート回路、56 インバータ、58 ANDゲート、102 SAドライバ帯 (P-ch)、104, 106 クロスカップル帯、108, 110 SAドライバ帯 (N-ch)、112~118 Yゲート帯 (CSL)、120 Yゲート帯 (SO)、152, 154 アレイ部、156 アレイ制御部、158, 160 データパス部、341 メモリブロック、342 センスアンプ帯、343 接続ゲート帯、344 入出力制御回路。

【書類名】 図面

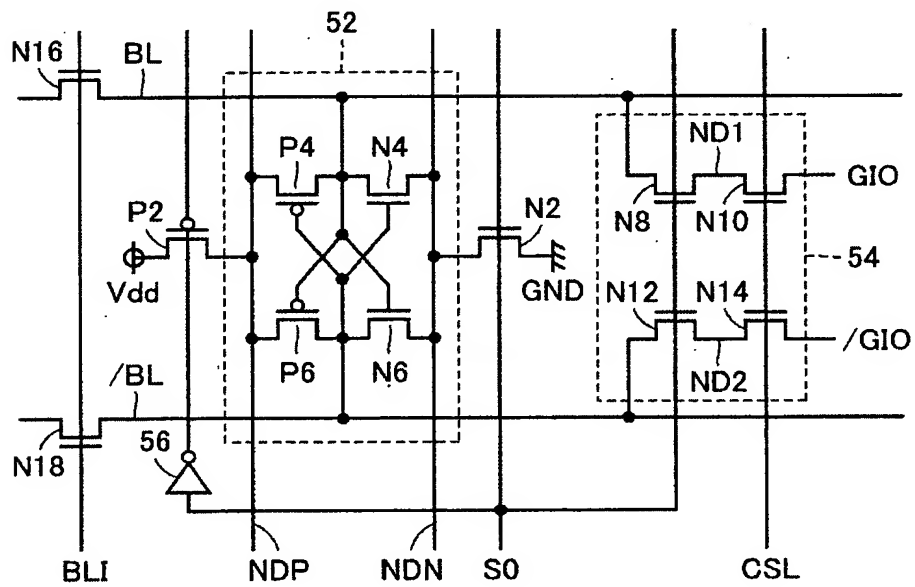
【図 1】



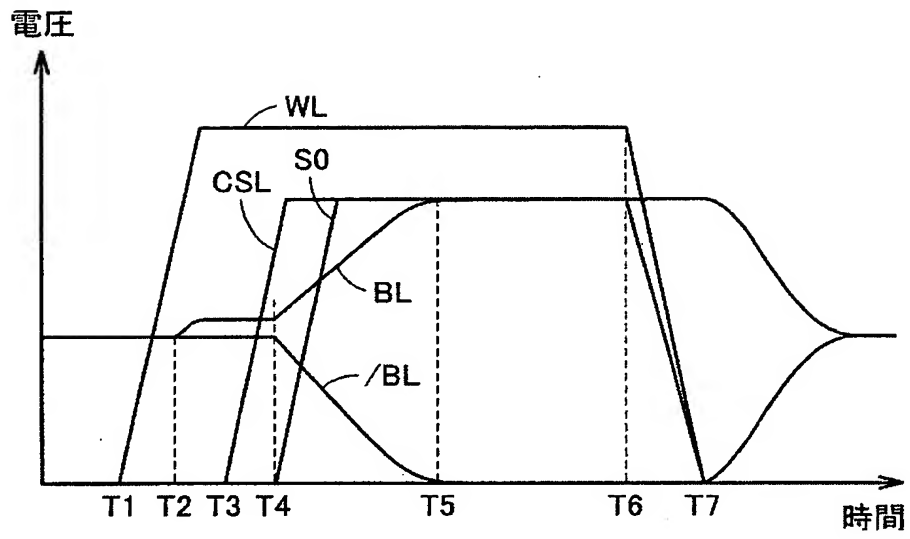
【図 2】



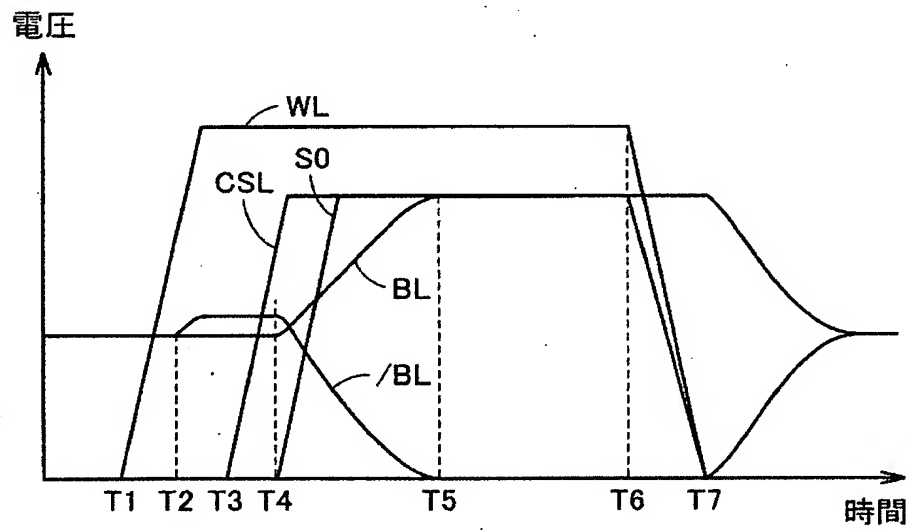
【図 3】



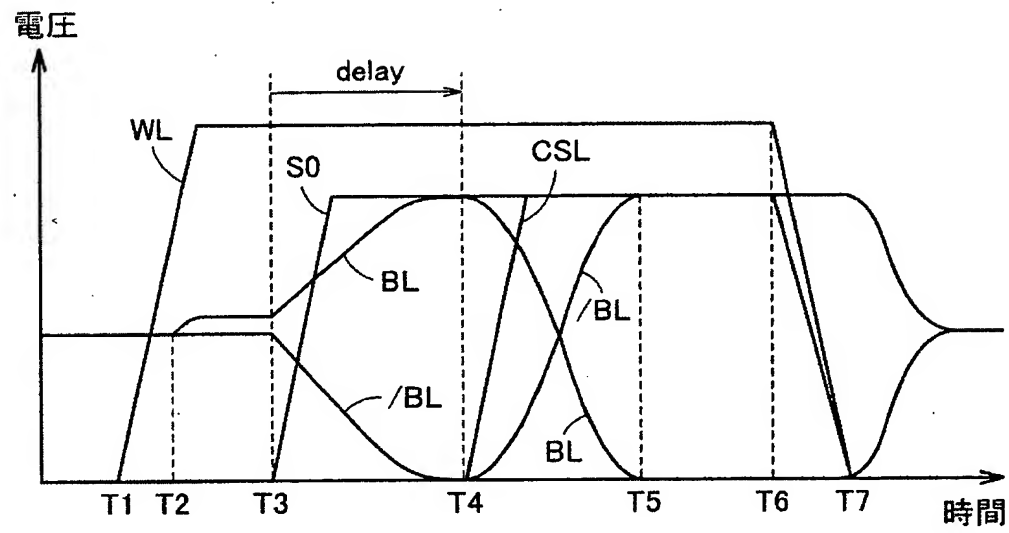
【図 4】



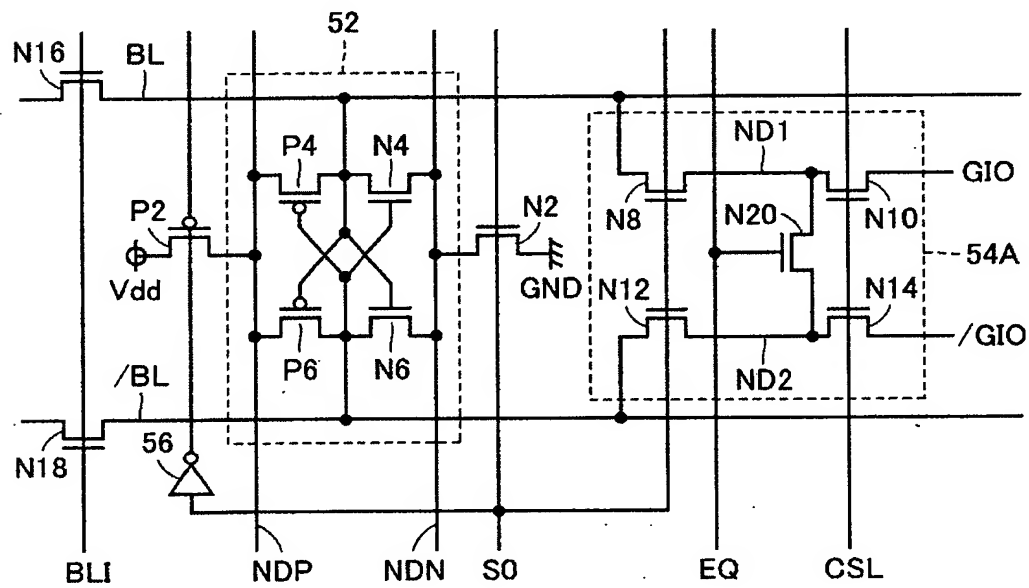
【図 5】



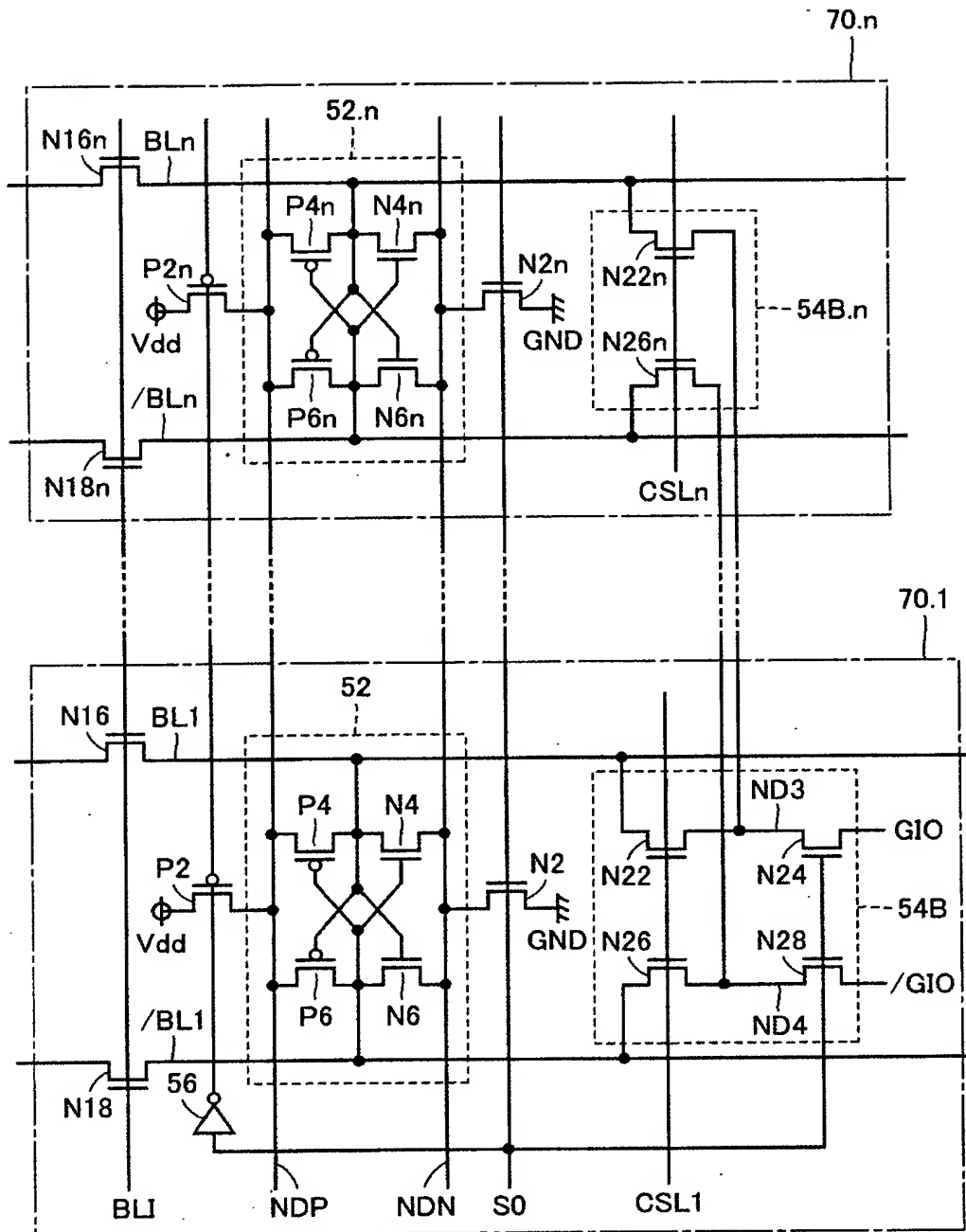
【図6】



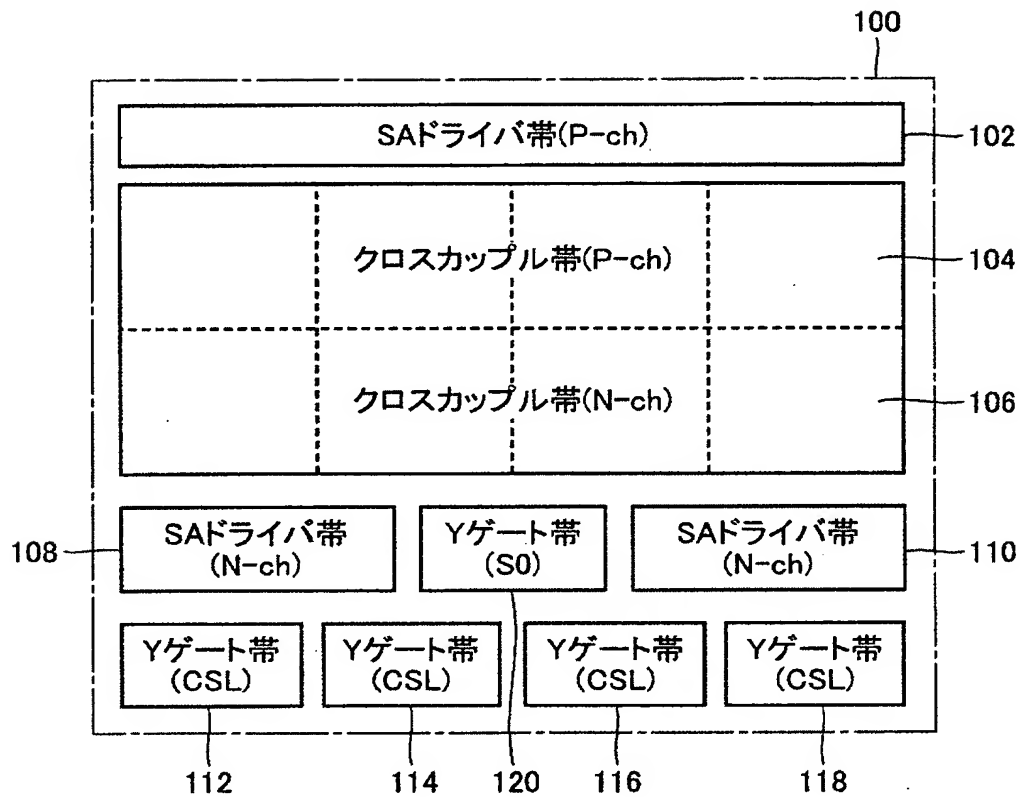
【図7】



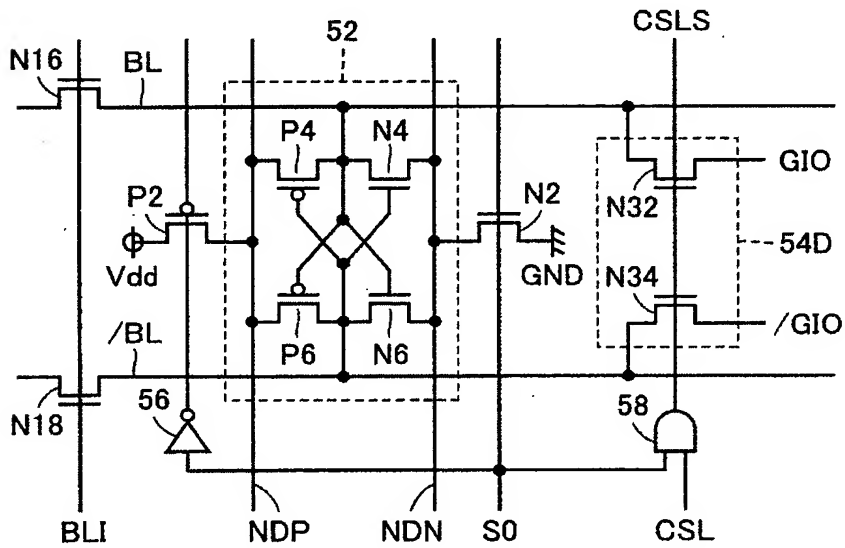
【図10】



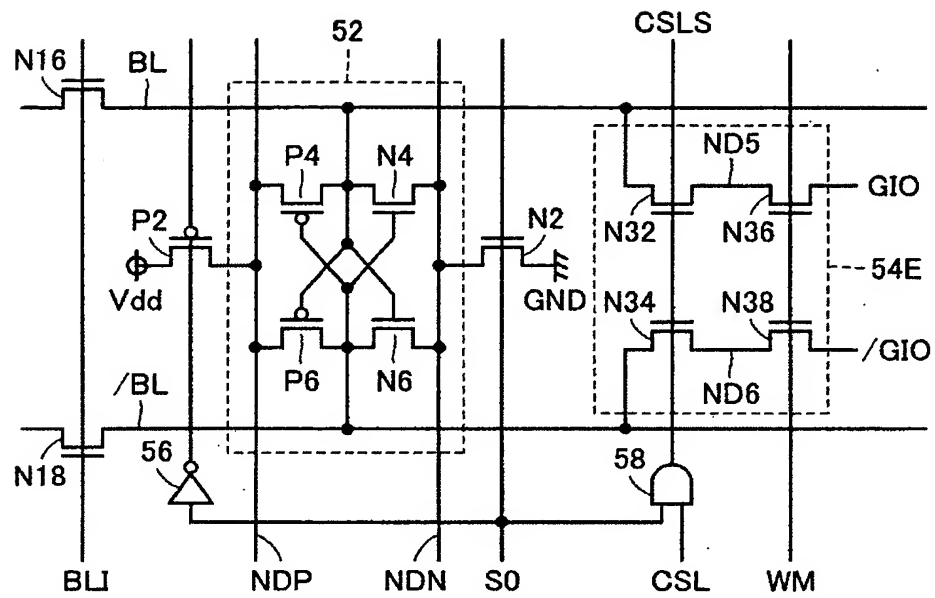
【図 1 1】



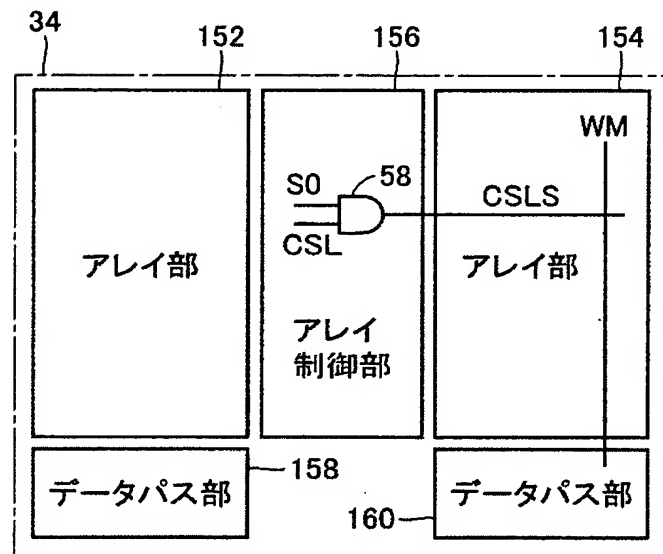
【図 1 2】



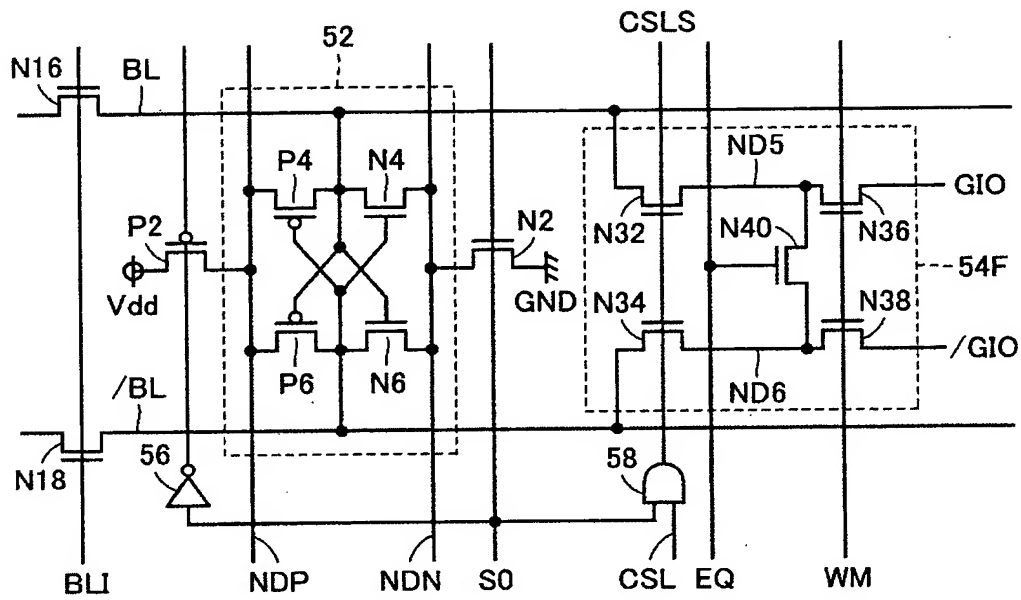
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 I/O共通型の回路構成で“Write before Sense動作”を実現する半導体記憶装置を提供する。

【解決手段】 接続ゲート回路54は、ビット線BLとグローバルIO線GIOとの間に直列に接続されるNチャネルMOSトランジスタN8、N10と、ビット線／BLとグローバルIO線／GIOとの間に直列に接続されるNチャネルMOSトランジスタN12、N14とを含む。NチャネルMOSトランジスタN8、N12は、センスアンプ52を活性化するセンスアンプ活性化信号S0をゲートに受け、NチャネルMOSトランジスタN10、N14は、コラム選択信号CSLをゲートに受ける。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社